

A Quick Walkthrough untuk Pengenalan Desain IC

Aminuddin Rizal

Teknik Komputer, Universitas Multimedia Nusantara, Tangerang, Indonesia

Email: Aminuddin.rizal@umn.ac.id

Diterima 14 Mei 2019

Disetujui 24 Juni 2019

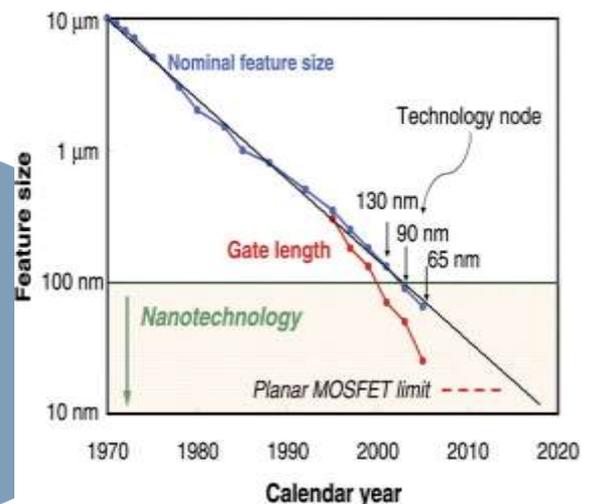
Abstract—Technology brought by human race has been evolving from known stone age, axe age, wood age and until we now reach the point where semiconductor or integrated circuit (IC) technology support human life. Its implicitly important to us to know, how current technology developed and what possible next technology look like. In this paper, we emphasize the quick walkthrough how our scientist and practical engineer made IC. Furthermore, a cheat sheet provided for a very basic equation we use when we made IC. Experiment on this research performed by using open source software which allow others to redo the same experiment. The outcome of this paper is well-structured introduction about IC technology and global discussion regarding next generation technology.

Keywords— electric, integrated circuit, metal-oxide semiconductor, very large scale integrated

I. PENDAHULUAN

Zaman semikonduktor, merupakan istilah yang cocok untuk menggambarkan teknologi yang menyokong kehidupan saat ini. Setiap peralatan elektronik yang kita pakai, pasti membutuhkan komponen semikonduktor ini. Semikonduktor merupakan bahan dengan karakteristik gabungan antara bahan konduktor dan isolator [1]. Dengan kata lain semikonduktor bersifat seperti saklar yang dapat diatur kondisinya (*state*) dengan memberikan besaran listrik (arus atau tegangan). Semikonduktor sendiri merupakan bahan utama yang dipakai untuk komponen aktif di divais elektronik seperti diode, transistor, dan *integrated circuit* (IC).

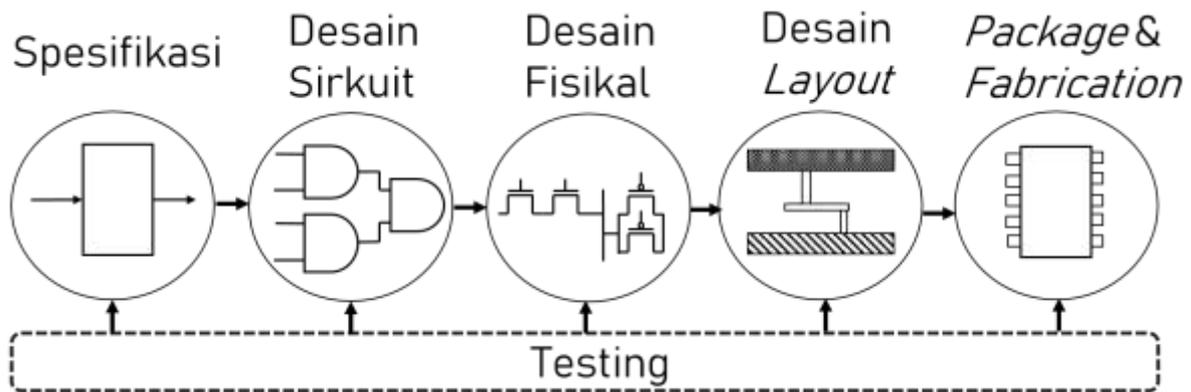
Saat ini perkembangan IC sesuai dengan prediksi yang dikemukakan oleh Moore [2] atau lebih dikenal dengan sebutan *Moore's Law* bahwa kepadatan atau jumlah dari transistor di dalam IC akan bertambah dua kali lipat dalam kurun waktu 18 bulan. Dapat dilihat pada Gambar 1 yang merupakan peta jalan (*roadmap*) perkembangan IC menurut *Moore's Law* yang dikeluarkan oleh ITRS (*International Technology Roadmap for Semiconductors*) [3]. Semakin padat jumlah transistor di dalam suatu IC secara liner berhubungan dengan kemutakhiran IC yang dibuat. Perkembangan teknologi IC ini dipimpin oleh negara – negara maju seperti Taiwan, Japan, Korea, USA, dan Uni Eropa.



Gambar 1. Peta jalan kepadatan IC [4]

Di Indonesia, kontribusi untuk kemajuan teknologi IC secara lokal dan global masih sangat kecil. Hal ini dikarenakan karena fasilitas untuk pengembangan teknologi IC masih sangat minim dan kurang memadai, serta juga didasarkan pada sumber daya manusia (SDM) yang ada masih sedikit. Ketertarikan terhadap desain IC juga masih kurang dikarenakan pedoman dan literatur mengenai pembuatan IC masih banyak yang menggunakan bahasa asing dan umumnya susah untuk dibaca oleh orang awam. Padahal di era semikonduktor seperti sekarang ini, secara implisit kita harus bisa bersaing dengan negara- negara lain dalam melakukan perkembangan di bidang desain dan teknologi IC.

Pada tulisan ilmiah kali ini, kami menjabarkan cara mendesain sebuah IC dari tahapan spesifikasi hingga tahapan pada level *floorplan layout*. Dan juga nantinya akan dibahas *design issue* (parameter-parameter) yang harus diperhatikan dalam mendesain IC. Penelitian dalam makalah kali kami buat agar dapat mudah untuk diikuti dan dilakukan ulang, sehingga diharapkan dapat membantu pemula di teknologi ini semakin mengerti secara konsep dan praktik. Harapan dan tujuan yang utama dari makalah ilmiah ini membantu memajukan edukasi dan industri di Indonesia, dengan menguatkan pengetahuan pada tingkat dasar.



Gambar 2. Diagram alir pembuatan IC

II. DIAGRAM ALIR PEMBUATAN IC

Alir diagram dalam membuat dan mendesain IC dapat di representasikan pada Gambar 2. Terlihat dari gambar terdapat 5 step dasar dalam pembuatan IC, yakni dari penentuan spesifikasi hingga produk akhir menjadi produksi. Untuk meningkatkan kualitas dari produk yang dibuat maka akan dilakukan test pada setiap tahapannya. Penjelasan setiap tahapan pembuatan IC akan dibahas di bab ini.

A. Spesifikasi

Tahapan paling awal ketika membuat IC ialah membuat spesifikasi dari IC yang nanti akan diproduksi. Ada dua hal penting dalam tahapan ini yakni menentukan jumlah input dan output, serta fungsi dari input dan output itu sendiri. Spesifikasi dapat dalam bentuk tekstual, grafik ataupun bisa dalam bentuk representasi dalam software [5]. Menurut [5] dijelaskan juga, spesifikasi merupakan kumpulan syarat-syarat yang secara eksplisit harus dipenuhi secara bahan baku (*material*), produk, dan servis. Hal tersebut dapat dijabarkan menjadi beberapa poin sebagai berikut:

1. Desain keseluruhan *chip*
2. Memutuskan penggunaan *intellectual property* (IP) yang akan dipakai
3. Membagi keseluruhan sistem menjadi sub sistem

Apabila sistem atau IC yang kita buat memiliki kompleksitas yang tinggi, setelah menentukan input dan output serta kegunaan dari IC yang kita buat, sangat dianjurkan untuk membagi keseluruhan di dalam *chip* tersebut menjadi sub bagian sistem yang memiliki karakteristik tertentu. Sehingga mempermudah dan membuat desain lebih terorganisir.

B. Desain Sirkuit

Selanjutnya masuk pada tahapan pembuatan fungsi IC tersebut. Setiap sub bagian dari fungsi *chip* tersebut dibuat rangkaian digitalnya, tahapan ini disebut juga Register Transfer Level (RTL) yakni membuat

rangkaian digital yang dapat berupa rangkaian kombinasional maupun rangkaian sekuensial.

Di atas kertas pembuatan rangkaian digital sangat mungkin dilakukan dengan membuat hubungan antara input dan output. Cara-cara yang dilakukan bisa dengan menggunakan table kebenaran, K-Map, *state machine*, *state table*. Dari penggunaan cara yang disebutkan tadi kita dapat mengekstrak rangkaian digital yang kita inginkan.

Tren saat ini melakukan desain RTL bisa dilakukan secara *programming*. Bahasa pemrograman untuk mendesain RTL ini adalah *Hardware Description Language* (HDL), dua tipe HDL yang dipakai adalah Verilog dan VHDL. Inti dari HDL ialah kita bisa mendeskripsikan rangkaian yang kita buat dalam Bahasa manusia.

C. Desain Fisikal

Setelah level sirkuit telah dibuat, kita masuk pada tahapan desain fisikal atau disebut juga level transistor. Kita ingat kembali bahwa IC tersusun dari beberapa transistor yang tersusun membentuk rangkaian digital untuk menjalankan tugas sesuai dengan spesifikasinya.

Saat ini teknologi dan geometry dari transistor ikut berkembang menyesuaikan ukuran dari transistor yang dibuat. Perkembangan dimulai dari tradisional planar transistor hingga 3D transistor (FinFET), perkembangan lengkap dapat dilihat di referensi [3]. Pada makalah ilmiah ini hanya akan dibahas menggunakan planar transistor teknologi. Jenis transistor yang dipakai adalah *Combination Metal-Oxide Transistor* (CMOS) yang terdiri dari PMOS dan NMOS. CMOS memiliki tiga pin yang disebut *Gate*, *Drain*, dan *Source*. Ketika CMOS diumpamakan seperti saklar, pin *Gate* lah yang kita atur untuk menghubungkan *Drain* dengan *Source*.

PMOS dan NMOS memiliki karakteristik yang berbeda, PMOS bersifat *active low* sedangkan NMOS bersifat *active high*, sebagai contoh ketika kita ingin membuat gerbang inverter kita hanya membutuhkan 1 NMOS dan PMOS yang disusun seri [6].

Tabel 1. Cheat sheet parameter dalam desain IC

Parameter	Deskripsi	Tahapan
Input	Jumlah dan fungsi dari input	Spesifikasi
Output	Jumlah dan fungsi dari output	
Proses	Merubah input menjadi output	
<i>Data Path</i> <i>Data</i> <i>Timing</i> <i>Propagation</i> <i>Delay</i>	Pengaturan jalannya data Pengaturan penggunaan data Rangkaian <i>delay</i>	Desain Sirkuit
<i>Length</i> (L)	Panjang kanal MOS transistor	Desain Fisikal
<i>Width</i> (W)	Lebar kanal MOS transistor	
<i>Threshold Voltage</i> (V_t)	Tegangan aktif MOS transistor	
<i>Area</i> <i>Speed</i>	Total area dari IC Respon waktu pengoperasian	Desain Layout
<i>Lambda</i> (λ) C_{load}	Teknologi litografi Kapasitansi beban	

D. Desain Layout

Tahapan berikutnya ialah mendesain layout hasil rangkaian dari level transistor. Desain layout merupakan cerminan dari *mask* yang dipakai saat proses litografi untuk membentuk transistor. Teknik memasukan banyak transistor ke dalam satu *chip* IC disebut dengan Very Large Scale Integrated (VLSI). VLSI layout dapat dilakukan dengan beberapa cara yakni *gate-array*, *standard-cells*, dan *full-custom* desain [7]. Beberapa teknik tersebut memiliki keunggulan dan kekurangan masing-masing. Tulisan ini akan membahas mengenai teknik *standard-cells* dimana keseluruhan sistem disusun dari komponen-komponen gerbang dasar.

Layout juga memberikan urutan pada material yang akan disusun didalam IC misalkan untuk planar transistor paling bawah akan disusun oleh substrat, lalu *well*, *impure* semikonduktor, *poly* silikon, dan selanjutnya beberapa lapisan metal [8].

E. Package dan Fabrication

Pada tahapan ini layout dari IC yang sudah jadi bisa di kapsulasi untuk meningkatkan kehandalan dari IC yang dibuat. Dalam tahapan kapsulasi ini *chip* dari IC dihubungkan dengan pin I/O luar dengan *pad*-nya menggunakan teknik yang bernama *Bonding* dengan perantara emas.

IC sudah siap difabrikasi di foundry yang kredibel seperti TSMC, ASML, dan Intel [9]. Dalam proses fabrikasi terdapat pula tahapan yang dilakukan seperti, pembuatan subtract semikonduktor, deposisi material, lalu litografi, etching, dan pembungkusan [10].

F. Testing

Salah satu proses yang paling penting yakni proses testing di mana untuk memverifikasi dan memastikan *chip* yang kita buat bisa berjalan dengan baik dan memiliki kualitas yang tinggi. Setiap tahapan memiliki *Design Rule Check* (DRC) masing-masing.

Pada tahapan spesifikasi testing dilakukan dengan melihat logic dari keseluruhan sistem yang telah dibagi menjadi sub-sistem. Lalu pada saat tahapan desain sirkuit dilakukan pengujian logic dengan beberapa kemungkinan input dan juga potensi penyederhanaan rangkaian. Hal yang dilakukan pada saat fisik ialah pengujian *timing diagram* dan melakukan *counter measure* terhadap sifat-sifat parasitik yang eksis di rangkaian yang dibuat. Di level layout baik *logic*, *timing diagram*, dan komposisi dari IC di cek oleh DRC [11]. Dan hingga akhirnya fungsional dari IC dicek kembali di proses pengepakan dan fabrikasi.

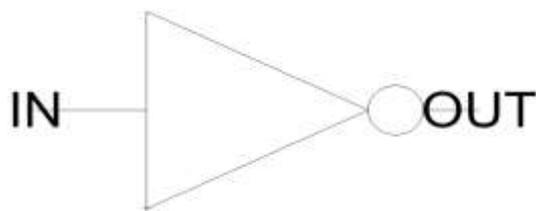
III. PARAMETER DESAIN

Tabel 3 memberikan informasi mengenai *rule-of-thumb* atau parameter-parameter dasar yang perlu diperhatikan untuk mendesain IC sesuai tahapannya. Di tahap spesifikasi seperti yang disebutkan sebelumnya parameter yang kita tentukan ialah *entity* dari IC yang kita buat, yakni input, output, dan fungsinya.

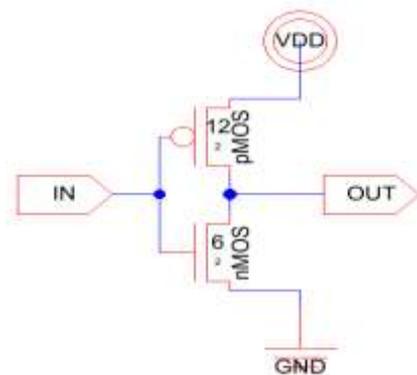
Step desain sirkuit, parameter-parameter dasar yang harus diperhatikan ialah pengaturan jalannya data (*data path*), data *timing*, dan *propagation delay*. *Data path* merupakan parameter dimana sinyal akan dimasukan dan dipakai oleh sub-sistem yang berkaitan. Data tersebut juga diatur *timing*-nya sehingga data yang dimasukan, diproses, dan dikeluarkan oleh sub-sistem valid. Selanjutnya parameter *propagation delay* juga harus diperhatikan, variabel ini harus diminimalisasikan nilainya karena berpengaruh terhadap respon *time* dari keseluruhan sistem. Waktu *delay* yang terpropagasi ini disebabkan oleh transisi output dari sinyal keluaran dari level high-to-low (T_p HL) dan level low-to-high (T_p LH).

Tahapan desain fisikal, parameter dasar yang perlu diperhatikan ialah kanal (*channel*) yang terbuat ketika MOS transistor dalam area aktif (*active area*). Panjang (L) dan lebar (W) dari kanal harus kita atur supaya elektron yang mengalir di dalamnya tidak mengalami defek. Pengaturan akan berbeda dengan jenis transistor yang dipakai. Pada dasarnya dalam desain IC hal ini disebut dengan *W/L ratio*, yakni perbandingan antara nilai W/L antara transistor pMOS dan nMOS. Nilai W/L *ratio* pMOS dan nMOS biasanya dibuat 2 atau lebih, artinya W/L pMOS lebih tinggi dibanding dengan nMOS dan parameter yang penting juga ialah *threshold voltage* (V_t) dari MOS tersebut. Semakin kecil nilai tegangan aktif transistor, maka semakin kecil daya disipasi yang dihasilkan.

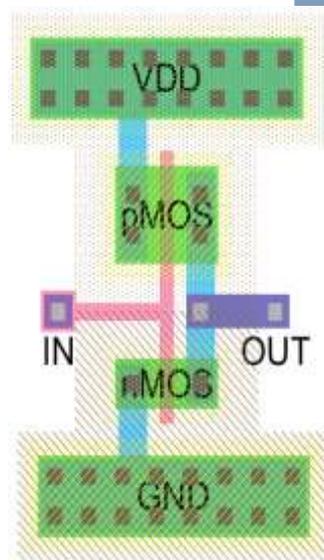
Step desain layout, parameter yang diperhatikan ialah *area*, *speed*, *lambda* (λ), dan beban kapasitansi. Dua parameter awal yang disebutkan merupakan



(a)

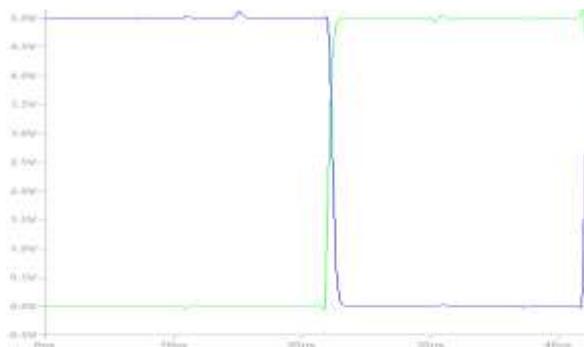


(b)



(c)

Gambar 3 Bentuk keluaran sinyal



Gambar 4 Bentuk keluaran sinyal

pertimbangan merupakan target ketika kita mendesain IC, tetapi biasanya hal ini menjadi *trade-off* dengan kualitas dari IC tersebut. Lambda merepresentasikan teknologi yang dipakai (contoh 90 nm, 60 nm, 32 nm), dan merupakan aturan dasar saat mendesain layout dari IC. Jarak antara layer dalam layout berbeda-beda menurut karakteristiknya dalam satuan lambda tersebut. Selanjutnya pengaruh beban kapasitansi yang dihubungkan dengan output. Semakin besar nilai beban kapasitansi akan membebani kinerja dari IC yang dihasilkan.

IV. EKSPERIMEN DAN HASIL

Dalam tulisan kali ini kami memberikan contoh sederhana dalam pembuatan IC. Perangkat lunak yang dipakai ialah Electric VLSI [12], Electric merupakan freeware yang digunakan untuk mendesain IC dari level schematic hingga layout.

Contoh kali ini yaitu pembuatan gerbang inverter. Dalam tahap spesifikasi dan desain sirkuit diilustrasikan oleh gambar 3 (a), dimana terdiri dari satu input dan satu output dengan fungsi membalikan (*invert*) nilai input.

Gambar 3 (b) merupakan tahapan dari desain fisik. Gerbang inverter secara sederhana terdiri dari satu transistor tipe pMOS dan satu transistor tipe nMOS yang disusun seri. Drain dari pMOS dihubungkan dengan VDD dan Source dari pMOS dihubungkan dengan Output. Di lain sisi, Drain dari nMOS dihubungkan dengan Output dan Source dari nMOS dihubungkan dengan dengan GND. Sedangkan kedua Gate dari pMOS dan nMOS dihubung dengan Input, sehingga ketika nilai Input *low* maka akan mengaktifkan pMOS yang akan menghubungkan Output dengan VDD. Sebaliknya ketika nilai Input *high* maka akan mengaktifkan nMOS yang akan menghubungkan Output dengan GND. Lalu untuk ukuran pMOS, W kami konfigurasi dengan 12λ dan L sama dengan 2λ . Sehingga W/L *ratio* pMOS ialah 6. Untuk nMOS W kami berikan nilai 6λ dan L ialah 2λ , sehingga W/L *ratio* nMOS ialah 3. Dengan demikian perbandingan ukuran pMOS dan nMOS adalah 2, yang baik untuk mobilisasi *electron*.

Tahapan layout direpresentasikan oleh gambar 3 (c), rangkaian pada step ini sama dengan di tahapan sebelumnya. Terlihat jelas pada layout di sini ukuran dari pMOS lebih besar dari nMOS. Garis warna pink merupakan *polysilicon* untuk menghubungkan pin Input dengan Gate baik pMOS dan nMOS. Garis biru merupakan Metal pada layer pertama dan warna biru tua merupakan Metal pada layer kedua. Sedangkan garis arsis merupakan *well*, baik tipe n dan tipe p.

Layout yang dihasilkan diuji berulang-ulang dengan DRC yang sesuai. Setelah pengujian selesai kita bisa memasukan desain layout ini ke foundry untuk difabrikasi. Pembuatan IC pada umumnya dilakukan secara masal, karena fabrikasi yang cukup mahal. Lama pembuatan dan desain dari suatu IC ditentukan

kerumitan dan aplikasi klinis yang ditujukan. Semakin rumit dan kompleks suatu IC yang dibuat maka semakin lama proses *end-to-end* desainnya.

Hasil eksperimen kami simulasikan menggunakan LTSpice circuit simulator software [7]. Nilai masukan (Input) kami variasikan menggunakan *pulse* kotak sinyal. Hasil simulasi diperlihatkan pada Gambar 5, garis warna biru merupakan sinyal masukan dan garis berwarna hijau merepresentasikan sinyal keluaran. Terlihat dari gambar kedua sinyal (garis) mempunyai sifat berlawanan (*invert*), saat sinyal masukan dalam logika *high* maka sinyal keluaran memberikan logika *low*.

KESIMPULAN

Perhatian dan referensi dasar mengenai teknologi IC di Indonesia tergolong rendah. Makalah ilmiah ini ditulis singkat untuk meningkatkan keingintahuan awam akan teknologi IC yang merupakan teknologi penyokong kehidupan manusia saat ini. Eksperimen dasar pembuatan IC dilakukan dengan simulasi menggunakan perangkat lunak *open source* sehingga dapat mudah untuk dilakukan ulang oleh peneliti lain. Hasil dari tulisan ini ialah ringkasan dari pembuatan IC dengan parameter dasar yang harus diperhatikan sehingga harapannya membantu

DAFTAR PUSTAKA

- [1] Donald Neamen. 2002. Semiconductor Physics and Devices (3 ed.). McGraw-Hill, Inc., New York, NY, USA.
- [2] R. R. Schaller, "Moore's law: past, present and future," in IEEE Spectrum, vol. 34, no. 6, pp. 52-59, June 1997.
- [3] J. Carballo, W. J. Chan, P. A. Gargini, A. B. Kahng and S. Nath, "ITRS 2.0: Toward a re-framing of the Semiconductor Technology Roadmap," 2014 IEEE 32nd International Conference on Computer Design (ICCD), Seoul, 2014, pp. 139-146.
- [4] Thompson, S. E., & Parthasarathy, S. (2006). Moore's law: the future of Si microelectronics. Materials Today, 9(6), 20-25. [https://doi.org/10.1016/S1369-7021\(06\)71539-5](https://doi.org/10.1016/S1369-7021(06)71539-5)
- [5] Yonehara, F. (n.d.). ASIC Flow Methodology.(e-book).
- [6] Ming-Dou Ker, Chung-Yu Wu and Tain-Shun Wu, "Area-efficient layout design for CMOS output transistors," in IEEE Transactions on Electron Devices, vol. 44, no. 4, pp. 635-645, April 1997.
- [7] R. Jacob Baker. 2010. CMOS Circuit Design, Layout, and Simulation (3rd ed.). Wiley-IEEE Press.
- [8] D. L. Hame et al., "Current status and future trends of SiGe BiCMOS technology," in IEEE Transactions on Electron Devices, vol. 48, no. 11, pp. 2575-2594, Nov. 2001.
- [9] Wei Hwang, "Taiwan: from chip foundries to system-on-chip design," 2005 The First IEE International Conference on Commercialising Technology and Innovation (Ref. No. 2005/11044), London, 2005, pp. 0_37-A13/7.
- [10] C. Zhang and G. Sun, "Fabrication cost analysis for 2D, 2.5D, and 3D IC designs," 2011 IEEE International 3D Systems Integration Conference (3DIC), 2011 IEEE International, Osaka, 2012, pp. 1-4.
- [11] Fischer, Peter. Design Rules, Technology File, DRC / LVS. 2018, sus.ziti.uni-heidelberg.de/Lehre.
- [12] Rubin, Steven. "Using the ELECTRIC VLSI Design System." Staticfreesoft, 2016, www.staticfreesoft.com/jmanual/ElectricManual-9.07.pdf.



UMN